

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Hajime MORI, et al.

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HERewith

FOR: OPTICAL ELEMENT MOUNTED BODY AND OPTICAL SEMICONDUCTOR MODULE USING
THE SAME

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of **35 U.S.C. §120**.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of **35 U.S.C. §119(e)**:
Application No. Date Filed
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of **35 U.S.C. §119**, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

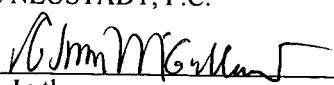
<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2002-215222	July 24, 2002

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
☐ are submitted herewith
☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Bradley D. Lytle

Registration No. 40,073



22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

C. Irvin McClelland
Registration Number 21,124

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 7月24日

出 願 番 号

Application Number:

特願2002-215222

[ST.10/C]:

[JP2002-215222]

出 願 人

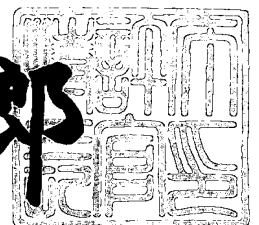
Applicant(s):

古河電気工業株式会社

2003年 6月27日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3051097

【書類名】 特許願

【整理番号】 A10300

【提出日】 平成14年 7月24日

【あて先】 特許庁長官殿

【国際特許分類】 G02B 6/42

【発明者】

 【住所又は居所】 東京都千代田区丸の内2丁目6番1号 古河電気工業株式会社内

 【氏名】 森 肇

【発明者】

 【住所又は居所】 東京都千代田区丸の内2丁目6番1号 古河電気工業株式会社内

 【氏名】 岩瀬 正幸

【特許出願人】

 【識別番号】 000005290

 【氏名又は名称】 古河電気工業株式会社

【代理人】

 【識別番号】 100090022

 【弁理士】

 【氏名又は名称】 長門 侃二

 【電話番号】 03-3459-7521

【選任した代理人】

 【識別番号】 100116447

 【弁理士】

 【氏名又は名称】 山中 純一

 【電話番号】 03-3459-7521

【手数料の表示】

 【予納台帳番号】 007537

 【納付金額】 21,000円

【提出物件の目録】

【物件名】	明細書	1
【物件名】	図面	1
【物件名】	要約書	1
【プルーフの要否】	要	

【書類名】 明細書

【発明の名称】 光素子実装体とそれを用いた光半導体モジュール

【特許請求の範囲】

【請求項 1】 表面に位置合わせ用の V 字溝マーカが形成されている光半導体素子と、

前記光半導体素子がジャンクションダウン方式で実装された光素子実装基板とを備える光素子実装体において、

前記光素子実装基板の実装面には、前記 V 字溝マーカの近傍に発生した凸部を非接触状態で収容するための凹部が形成されていることを特徴とする光素子実装体。

【請求項 2】 前記光素子実装基板の凹部は、シリコン基板をウェットエッチングすることにより形成された溝であることを特徴とする請求項 1 に記載の光素子実装体。

【請求項 3】 前記光素子実装基板の凹部の寸法形状は、幅が $10\ \mu\text{m}$ 以上、深さが $5\ \mu\text{m}$ 以上、かつ長さが $300\ \mu\text{m}$ 以上であることを特徴とする請求項 1 または 2 に記載の光素子実装体。

【請求項 4】 前記光半導体素子の前記 V 字溝マーカの近傍に発生した凸部は、前記 V 字溝マーカ形成時に生じた半導体結晶の異常成長部分であることを特徴とする請求項 1 乃至 3 に記載の光素子実装体。

【請求項 5】 請求項 1 ～ 4 に記載のいずれかの光素子実装体と、該光素子実装体の実装されている前記光半導体素子に光学的に結合される光部品とが、パッケージ内に配設されていることを特徴とする光半導体モジュール。

【請求項 6】 前記光素子実装体に含まれている光素子実装基板の実装面及び前記パッケージにはそれぞれ位置決め部が形成されており、これらの位置決め部が互いに位置決めされることにより前記光素子実装体と前記パッケージとの間の相対位置が決定されている請求項 5 の光半導体モジュール。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は光素子実装体と、それを用いた光半導体モジュールに関する。

【 0 0 0 2 】

【従来の技術】

各種の光半導体素子は、光の入射端面または出射端面に、光ファイバまたは光導波路等の光部品が光学的に結合され、モジュール化して使用される。その場合、光半導体素子と光部品との光軸を一致させることが必要である。

【 0 0 0 3 】

とくに、半導体レーザ素子（LD）や導波路型ホトダイオード（WG-PD）のような光半導体素子に光ファイバなどを光学的に結合する場合には、軸心調整は互いの位置ずれを $\pm 1 \mu\text{m}$ 度以下の精度に制御することが必要である。

【 0 0 0 4 】

従来、上記した軸心調整は次のようにして行われている。すなわち、例えばLDの出射端面に光ファイバの端面を対向させた状態で当該LDを発光させ、光ファイバからの出力光をモニタリングし、その光出力が最大となった位置で光軸の一致が実現したものとし、その位置で両者を固定する。

しかしながら、この方法による軸心調整は、作業がきわめて煩雑であり、モジュールの低コスト化および大量生産化を図るという点で限界がある。

【 0 0 0 5 】

そのため、最近ではパッシブアライメント方式と呼ばれる、次のような方法の開発・実用化が進められている。すなわち、光半導体素子と、それを実装するための光素子実装用基板との間の相対位置を高精度で決定し、同時に、光素子実装用基板と光部品との間の相対位置も高精度で決定する。そのことにより、光半導体素子が発光させなくても、光半導体素子と光部品とは、光素子実装基板を媒介にして光学的に結合される。

【 0 0 0 6 】

具体的には、光半導体素子を光素子実装用基板に実装する際には、光半導体素子と光素子実装用基板の双方に位置決め用マーカを精密に刻印しておき、一方の位置決め用マーカが他方の位置決め用マーカに対し所定の位置となるように、光半導体素子と光素子実装用基板との間の相対位置が決定される。

【 0 0 0 7 】

位置合わせ用マーカを有する光半導体素子としては、例えば特開平 7 - 5 0 4 4 9 号が開示する半導体レーザ素子がある。この半導体レーザ素子 5 においては、図 1 0 に示したように、2 つの互いに平行なメサが幅方向に所定の間隔をおいて基板 5 e 上に形成されており、一方のメサはレーザ光を発振する活性層 5 c を含み、他方のメサの上部には V 字溝マーカ 5 b が形成されている。そして、この半導体レーザ素子 5 の製造する過程で、2 つのメサは同一のエッチング工程で形成されるので、これらの間の相対的な位置は高精度に決定されている。したがって、V 字溝マーカ 5 b と活性層 5 c との間の間隔も高精度に決定されている。なお、V 字溝マーカ 5 b は、一方のメサを結晶成長法により半導体材料で埋め込むときに、他方のメサ上面にのみ誘電体層を残しておくことで、そのメサ直上部における半導体層の成長を抑制することにより形成される。

【 0 0 0 8 】

なお、光半導体素子を光素子実装基板へと実装する場合、実装される光半導体素子の表面と裏面のうち、表面側を下にして実装用基板に実装する、いわゆるジャンクションダウン方式が一般に採用されている。

【 0 0 0 9 】

その理由は、光半導体素子の裏面は、たとえ研磨処理が施されているとはいえ、その表面粗さの精度が $\pm 10 \mu\text{m}$ 程度であるのに対し、気相エピタキシャル成長法で半導体の積層構造として形成されている表面の場合は、各半導体層の厚み精度が $\pm 0.1 \mu\text{m}$ 程度に制御されているので、光半導体素子における受・発光部である活性層の高さを位置決めする基準面としては、この表面側の方が優れており、高さ方向における位置決め精度を高めることができるからである。

【 0 0 1 0 】

そして、上記したように光素子実装基板に光半導体素子がジャンクションダウン方式で実装されるとともに、光素子実装用基板と光部品との間の相対位置は、光素子実装用基板と光部品のそれぞれが固定されるパッケージを介して高精度に決定される。このようなパッケージは、例えば特開平 1 0 - 2 0 6 6 9 8 号が開示する光半導体モジュール 4 0 に用いられており、図 1 2 に示したように、この

パッケージ 2 は、孔 $2 a_1$ と凸条 $2 a_3$ とがそれぞれ所定位置に形成されている。そして、凸条 $2 a_3$ が光素子実装基板 $4'$ に形成された V 字溝と係合することにより、孔 $2 a_1$ に固定された光ファイバ 3 と、光素子実装基板 $4'$ に実装された光半導体素子 5 との間の相対位置が高精度に決定され、結果として、光ファイバ 3 と半導体レーザ素子 5 とが光学的に結合されている。

【 0 0 1 1 】

【発明が解決しようとする課題】

ところで、上記した従来技術の光半導体レーザ素子 5 の場合、図 1 1 に示したように、V 字溝マーカ 5 b の近傍に、V 字溝マーカ 5 b に沿って高さが不均一な凸部 5 d が発生することがある。

【 0 0 1 2 】

そして、このような凸部 5 d を有する半導体レーザ素子 5 にジャンクションダウン方式の実装を適用した場合、この凸部 5 d が存在するために、半導体レーザ素子の表面と光素子実装基板の実装面との間に隙間が生じてしまうことがある。そして、この隙間により以下のような問題が発生する。

- 1) 半導体レーザ素子で発生した熱が光素子実装基板へと逃散しにくくなり、半導体レーザ素子の温度特性が悪化する。
- 2) 半導体レーザ素子と光素子実装基板との間の相対位置が変化するために、半導体レーザ素子と光ファイバとの間の相互の軸心位置もずれることになり、半導体レーザ素子と光ファイバとの間の光学的な結合効率が低下することもある。
- 3) 半導体レーザ素子の実装強度が不足し、半導体レーザ素子の裏面にワイヤボンディングする時に半導体レーザ素子が光素子実装基板から外れることもある。

【 0 0 1 3 】

本発明は、上記した問題を解決し、光半導体素子を隙間なくジャンクションダウン方式で実装することが可能な光素子実装基板を備えた光素子実装体、および、この光素子実装体を備え、光半導体素子と光部品との間をパッシブアライメント方式で光学的に結合した場合でも、その結合効率が高かつ温度特性が良好な光半導体モジュールの提供を目的とする。

【 0 0 1 4 】

【課題を解決するための手段】

本発明においては、上記した目的を達成するために、表面に位置合わせ用のV字溝マーカが形成されている光半導体素子と、前記光半導体素子がジャンクションダウン方式で実装された光素子実装基板とを備える光素子実装体において、前記光素子実装基板の実装面には、前記V字溝マーカの近傍に発生した凸部を非接触状態で収容するための凹部が形成されていることを特徴とする光素子実装体を提供される（請求項1）。

【0015】

好ましくは、前記光素子実装基板の凹部はシリコン基板をウェットエッチングすることにより形成された溝であるのが好ましい（請求項2）。

そして、前記光素子実装基板の凹部の寸法形状は、幅が $10\mu\text{m}$ 以上、深さが $5\mu\text{m}$ 以上、長さが $300\mu\text{m}$ 以上であるのが好ましい（請求項3）。

【0016】

具体的には、前記光半導体素子の前記V字溝マーカの近傍に発生した凸部としては、前記V字溝マーカ形成時に生じた半導体の異常成長部分があげられる（請求項4）。

【0017】

また本発明においては、請求項1～4に記載のいずれかの光素子実装体と、該光素子実装体の実装されている前記光半導体素子に光学的に結合される光部品とが、パッケージ内に配設されていることを特徴とする光半導体モジュールが提供される（請求項5）。

【0018】

好ましくは、前記光素子実装体に含まれている光素子実装基板の実装面及び前記パッケージにはそれぞれ位置決め部が形成されており、これらの位置決め部が互いに位置決めされることにより前記光素子実装体と前記パッケージとの間の相対位置が決定されている（請求項6）。

【0019】

【発明の実施の形態】

以下、本発明の光素子実装体を図面に則して説明する。

図 1 は、本発明の第 1 の実施形態に係る光素子実装体に用いられる光素子実装基板 4 を示している。なお、光素子実装基板 4 に実装される光半導体素子としての半導体レーザ (LD) 5 は、図 1 0 に示した構造を有し、位置合わせ用マーカとして、活性層 5 c から幅方向に所定距離で離隔している V 字溝マーカ 5 b が表面 5 a に形成されている。そして、V 字溝 5 b の近傍には、図 1 1 に示したように、V 字溝 5 b に沿って幅と高さが不均一な凸部 5 d が存在している。なお、この凸部 5 d は、V 字溝 5 b を結晶成長法を利用して形成する際に発生した、半導体結晶の異常成長部分である。

【0020】

光素子実装基板 4 の実装面 4 b には、図 1 に示したように、光軸方向に沿って、互いに平行な二つの V 字溝 4 c が形成されている。実装面 4 b 上における、二つの V 字溝 4 c に挟まれた領域には、実装される LD 5 とホトダイオード (PD) に電力を供給するための所定形状の電気回路 4 a が形成されている。

【0021】

図 2 は、本実施形態例の光素子実装体の部分分解斜視図を示している。図 1 および図 2 に示したように、光素子実装基板 4 の実装面 4 b には、LD 5 を実装面 4 b に載置したときに、LD 5 の凸部 5 d が実装面 4 b に直接接触しないよう、非接触状態で收容することができる凹部 4 d が形成されている。したがって、LD 5 をジャンクションダウン方式で実装面 4 b に実装すると、凸部 5 d は凹部 4 d の中に非接触状態で收容されてしまうので、LD 5 は、ガタつくことなく光素子実装基板 4 の実装面 4 b に隙間なく密着固定される。その結果、LD 5 の実装強度が確保されることはもとよりのこと、実装面 4 b を基準面として所定の高さに LD 5 の活性層 5 c を位置付けることができる。また同時に、LD 5 で発生した熱を光素子実装基板 4 へと確実に逃散させることができるので、LD 5 の温度特性を良好にすることができる。

【0022】

そして、LD 5 を光素子実装基板 4 へ実装する際には、光素子実装基板 4 の一方の V 字溝 4 c と LD 5 の V 字溝マーカ 5 b とが、光素子実装基板 4 の幅方向に所定距離だけ離隔して位置するように、LD 5 が固定される。その結果、活性層

5 c は、光素子実装基板 4 の一方の V 字溝 4 c の中央を基準線として、そこから幅方向に所定距離だけ離隔した箇所に位置することになる。このようにして、活性層 5 c は、光素子実装基板 4 に対して高さ方向および幅方向において高精度に位置決めされる。

上記した光素子実装基板 4 は、以下のようにして製造することができる。

【 0 0 2 3 】

まず、光素子実装基板 4 の素材であるシリコンの (0 0 1) 基板の表面に熱酸化膜を形成する。次に、この熱酸化膜を、凹部 4 d および V 字溝 4 c とを形成すべき箇所を除いてフォトリソでマスクした後に、反応ガスとして C_2F_6 を用いた R I E 等のドライエッチング或いはフッ酸によるウェットエッチングにより、マスクされていない熱酸化膜をシリコン基板表面から除去する。その後、シリコン基板を水酸化カリウム (K O H) 水溶液に浸漬する。熱酸化膜に覆われていない部分ではシリコンの異方性エッチングが起こり、シリコンの (1 1 1) 面に相当する斜面を両側面とする凹部 4 d と V 字溝 4 c がシリコン基板表面に形成される。

【 0 0 2 4 】

このとき、凸部 5 d の寸法は、典型的なもので幅は $5 \mu m$ 、高さは $2 \mu m$ 程度であり、長さは最大でも光半導体素子の全長以下であるので、凹部 4 d としては、上記凸部 5 d を非接触状態で収容可能とするために、その寸法形状はそれらより大きい、例えば幅は $10 \mu m$ 以上、深さは $5 \mu m$ 以上、長さは $300 \mu m$ 以上の溝であることが好ましい。

【 0 0 2 5 】

そして、凹部 4 d および V 字溝 4 c 作製のマスクをウェットエッチングにより剥離したシリコン基板の表面に、スパッタにより金属膜を成膜する。この金属膜の表面のうち電気回路 4 a に相当する箇所を除いてフォトリソでマスクした後に、表出する金属膜をエッチングして電気回路 4 a を作製し、マスクを剥離して目的とする光素子実装基板 4 が製造される。

【 0 0 2 6 】

なお、光素子実装基板の素材としては、加工性に優れ、放熱性が高く、かつ安

価であることからシリコンが好ましい。そして、素材にV字溝4 cおよび凹部4 dを形成する方法としては、異方性エッチング、等方性エッチング、または切削加工を選択することができるが、素材としてシリコンを選択したときには、加工精度が高く、かつ寸法形状の再現性も良いことから、異方性エッチングとして、例えば水酸化カリウム水溶液を用いたウェットエッチングによりそれらを形成するのが好ましい。ただし、光素子実装基板の素材はシリコンに限定されることはなく、例えば、酸化珪素あるいは窒化アルミニウムを用いることも可能であり、これらの素材を使用するときには、凹部およびV字溝は切削加工、あるいは焼成時に形成する。

【0027】

次に本発明の光半導体モジュールを図面に則して説明する。

図3は、本発明の第2の実施形態に係わる光半導体モジュール1を示している。

【0028】

光半導体モジュール1は樹脂からなるパッケージ2を備えている。図4に示したように、パッケージ2は第1パッケージ2 aと第2パッケージ2 bとが組み合わされたものであって、第1パッケージには孔2 a₁と開口2 a₂が形成され、孔2 a₁を通して光部品である光ファイバ3の端部がパッケージ2内に突出している。

【0029】

第2パッケージ2 bの底面上には、第1の実施形態に係る光素子実装基板4が固定されている。光素子実装基板4の電気回路4 aには、光半導体素子として、レーザ光を出射するLD5と、LD5のレーザ光の出力をモニタするためのPD6がそれぞれ図示しない半田層を介して配置されている（図5参照）。このとき、LD5は表面を下側にしてこの実装面4 bにジャンクションダウン方式で実装されている。そして、LD5とPD6のそれぞれの上面は、電気回路4 aにAuワイヤ7により電氣的に接続されている。

【0030】

なお、図4に示したように、電気回路4 aは第2パッケージ2 bに固定された

リード 2 b₁にもAuワイヤ7により電氣的に接続されており、もってリード 2 b₁とLD 5は電氣的に接続されている。

【 0 0 3 1 】

光素子実装基板4の二つのV字溝4 cには、図6に示したように、第1パッケージに形成された二つの凸条2 a₃が係合している。ここで、凸条2 a₃と孔2 a₁との間の相対位置は、第1パッケージを金型成形する際にこれらを同時に形成しているので、高精度に決定されている。よって、凸条2 a₃とV字溝4 cが係合し、位置決めされることにより、光素子実装基板4と、孔2 a₁に固定されている光ファイバ3との間の相対位置が高精度に決定される。

【 0 0 3 2 】

すなわち、凸条2 a₃とV字溝4 cは、第1パッケージ2 aと光素子実装基板4との間の相対位置を決定するための位置決め部となっている。このことに加え、先述したように光素子実装基板4に対して活性層5 cは高さ方向および幅方向において高精度に位置決めされているので、光ファイバ3とLD 5の活性層5 cとの相対位置は光素子実装基板4を媒介にして高精度に決定される。このため、光半導体モジュール1における光ファイバ3とLD 5との間の光学的な結合効率 は優れたものとなる。

【 0 0 3 3 】

上記した光半導体モジュール1は、以下のようにして製造することができる。

まず、光素子実装基板4の実装面4 bに、LD 5を半田固定して、光素子実装体とする。このときLD 5と光素子実装基板4との間の相対位置は、LD 5の表面に形成されたV字溝マーカ5 bと、光素子実装基板4の実装面4 bに形成されたV字溝4 cとを位置決め用マーカとして、光素子実装基板4の幅方向においてV字溝マーカ5 bとV字溝4 cとは互いの間隔が所定の間隔となるように位置合わせされる。このとき、LD 5の表面に存在する凸部5 dは、光素子実装基板4の凹部4 dに非接触状態で収容され、LD 5は光素子実装基板4の実装面4 bに凹部4 dを除いて隙間なく密着固定される。

【 0 0 3 4 】

次に、第2パッケージに光素子実装基板4を載置した後、電気回路4 aとリー

ド 2 b₁との間をワイヤボンディングによりAuワイヤ7で接続する。その後、第1パッケージ2 aを凸条2 a₃が光素子実装基板4の対応するV字溝4 cと係合するように上方から被せ、図4, 6に示したように、両パッケージ2 a, 2 b間に光素子実装基板4を保持する。そして、第1パッケージ2 aと第2パッケージ2 bは、予め所定箇所に塗布しておいた、例えば、熱硬化系エポキシ等の接着剤で互いに固定される。

【0035】

そして、第1パッケージ2 aの外側から端面を研磨した光ファイバ3を孔2 a₁に挿入し、光素子実装基板4の前面に当接させる。かくして、LD5と光素子実装基板4との間の相対位置が高精度に決められると同時に、第1パッケージ2 aにより光ファイバ3と光素子実装基板4との間の相対位置が高精度に決められる。そしてその結果として、光ファイバ3とLD5の活性層5 cとの間の相対位置は高精度に位置決めされる。

【0036】

しかる後、光ファイバ3を熱硬化系エポキシ等の接着剤で孔2 a₁に固定し、開口2 a₂から充填剤としてシリカが入っているエポキシ等の合成樹脂をLD5を保護するために充填し、光ファイバ3が第1パッケージ2 aから突出したピグテイルタイプの光半導体モジュール1の組み立てが完了する。ここで、開口2 a₂は、最終的には合成樹脂が第1パッケージ2 aの上面と面一になるまで充填される。

【0037】

なお、光半導体モジュールと光ファイバとの間の固定については、光ファイバを、図7に示したように、光ファイバコード3 aを用いたピグテイルタイプや、図8に示したように、フェルール3 bを備えたピグテイルタイプとして着脱自在としても良い。また、図9に示したように、第1パッケージ2 aの端部にフェルール形状に一体成形した突出部2 a₄を設けてもよい。

【0038】

また、光半導体モジュール1において、位置決め部として凸条2 a₃とV字溝4 cを2組形成したが、光素子実装基板4と第1パッケージ2 aとを位置決めす

るうえで少なくとも1組あれば数のうえでの限定はない。また、第1パッケージの位置決め部の形状は凸条に限定されることはなく、V字溝であってもよい。この場合、対をなしている第1パッケージと光素子実装基板の双方のV字溝の間に、1本の円柱部材、例えば光ファイバを配置することにより、第1パッケージと光素子実装基板との間の相対位置を決定することができる。

【0039】

そして、光半導体モジュール1においては、光ファイバ3の端部は孔 $2a_1$ により位置決めされていたが、光素子実装基板4の実装面4bに更に光ファイバ3固定用のV字溝を形成して、このV字溝により光ファイバ3と光素子実装基板4との相対位置を決めてもよい。

【0040】

【実施例】

1. 光素子実装基板の作製

シリコンの(001)基板の表面に厚み約 $0.8\mu\text{m}$ の熱酸化膜を形成し、この熱酸化膜上にフォトレジストをスピコートした後、このフォトレジストを露光・現像することにより、二つのV字溝4cとなる箇所面積 $145\mu\text{m} \times 1500\mu\text{m}$ の開口と、凹部4dとなる箇所面積 $20\mu\text{m} \times 350\mu\text{m}$ の開口を有するマスクを形成した。このとき、二つのV字溝4c用の開口同士の中心距離は 1.5mm とし、一方のV字溝4c用の開口と凹部4d用の開口との間の中心距離は $425\mu\text{m}$ となるようにした。

【0041】

次に、マスクが形成されたシリコン基板に対し、反応ガスとして C_2F_6 を用いたRIEを行ない、開口から表出している熱酸化膜を除去した。そして、マスクを剥がした後、シリコン基板の熱酸化膜が除去された箇所をエッチングし、凹部4dとV字溝4cを形成した。このとき、凹部4dは幅 $20\mu\text{m}$ 、深さ $14\mu\text{m}$ 、長さ $350\mu\text{m}$ の溝であった。またV字溝4cは、それぞれ深さが $150\mu\text{m}$ であった。

【0042】

そして、V字溝4cと凹部4dが形成されたシリコン基板の表面に、厚み

0. $8\mu\text{m}$ のTi/Pt/Auからなる金属膜をスパッタにより基板全面に成膜し、この膜上に所定の電気回路4aとなる箇所を除いてマスクを形成し、マスクから表出している金属膜をエッチングして取り除き電気回路4aを形成した。最後に、マスクを剥がし、基板を縦 1.5mm 、横 3.5mm となるよう切断して光素子実装基板4を作製した。

【0043】

2. パッケージの作製

成形したときの寸法精度に優れるポリフェニレンサルファイド樹脂100質量部に、充填剤として球形シリカ100質量部を配合した樹脂組成物を金型成形して第1パッケージ2aを作製した。また、第1パッケージに用いたのと同じ樹脂組成物と、例えば、Fe-42wt%Niからなるリード2b₁とを一体にモールド成形することにより第2パッケージ2bを作製した。

【0044】

3. 組立て

長さ $300\mu\text{m}$ 、幅 $10\mu\text{m}$ のV字溝マーカ5bが形成され、かつ、n型電極5kの個所には厚み約 $2\mu\text{m}$ のAu-Sn半田層が形成されている表面5aを下側にして、図10に示したLD5を光素子実装基板4の実装面4bに載置した。このとき、LD5のV字溝マーカ5bと光素子実装基板4の一方のV字溝4cとの間の幅方向における中心距離は $425\mu\text{m}$ となるようにした。そして、LD5を載置した光素子実装基板を 320°C の温度で30秒間加熱することにより、実装面4bにLD5を固定した。

【0045】

LD5が固定された後、PD6をLD5の光軸方向に並べて電気回路4aの上面に載置し、LD5の場合と同様にしてPD6を実装面4bに固定した。

なお、LD5の積層構造は以下の通りである。すなわち、p-InP基板5e上に、InGaAsP活性層5cとn-InPクラッド層5fからなるメサと、このメサを埋め込んでいる、p-InP埋め込み層5gおよびn-InP埋め込み層5hとが形成され、更にこれらのメサと埋め込み層の上にはn-InPクラッド層5i、n-InGaAsPキャップ層5j、n型電極5kとが形成されて

いる。そして、基板 5 e の裏面には p 型電極 5 1 が形成されている。

【 0 0 4 6 】

次に、この光素子実装基板 4 を第 1 パッケージに載置し、Auワイヤ 7 にて、電気回路 4 a と LD 5 の p 型電極 5 1 との間、および電気回路 4 a と PD 5 の電極との間をそれぞれ接続し、更に電気回路 4 a とリード 2 b₁との間も接続した。

【 0 0 4 7 】

その後、第 1 パッケージ 2 a の凸条 2 b₃が光素子実装基板 4 の V 字溝 4 c と係合するように第 2 パッケージ 2 b に第 1 パッケージ 2 a を被せた上で、光ファイバ 3 を孔 2 a₁から挿入し、パッケージ 2 全体を加熱することにより、第 1 パッケージと第 2 パッケージとの間、および光ファイバ 3 と孔 2 a₁との間を熱硬化性エポキシ接着剤で固定した。

そして最後に、充填剤としてシリカが配合されたエポキシ樹脂を開口 2 a₂に充填して LD 5 と PD 6 を封止した。

【 0 0 4 8 】

【発明の効果】

本発明の光素子実装体によれば、表面に形成された位置合わせ用の V 字溝マーカの近傍に凸部が発生している光半導体素子でも隙間なくジャンクションダウン方式で光素子実装基板に実装することが可能である。

【 0 0 4 9 】

そのため、本発明の光素子実装体およびそれを用いた光半導体モジュールにおいては、光半導体素子と光素子実装基板との間の熱抵抗が異常に高くなることなく、良好な温度特性を維持することができる。また光素子実装基板の実装面から光半導体素子の活性層中心までの距離を設計値通りに保つことができるため、軸ずれに起因する光学的な結合損失及びそのバラツキを低減することができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施形態例の光素子実装体に用いられる光素子実装基板の斜視図である。

【図 2】

図 1 の領域 II の近傍における、本発明の第 1 の実施形態例の光素子実装体の部分分解斜視図である。

【図 3】

本発明の第 2 の実施形態例の光半導体モジュールの平面図である。

【図 4】

図 3 の IV - IV 線に沿う断面図である。

【図 5】

図 3 の光半導体モジュールを構成している、LD と PD とが実装された光素子実装基板の斜視図である。

【図 6】

図 3 の VI - VI 線に沿う断面図である。

【図 7】

図 3 の光半導体モジュールの変形例の断面図である。

【図 8】

図 3 の光半導体モジュールの別の変形例の断面図である。

【図 9】

図 3 の光半導体モジュールの更に別の変形例の断面図である。

【図 1 0】

位置合わせ用の V 字溝マーカが表面に形成されている従来の半導体レーザ素子の断面図である。

【図 1 1】

図 1 0 の領域 XI の拡大図である。

【図 1 2】

従来の光半導体モジュールの断面図である。

【符号の説明】

1, 1 0, 2 0, 3 0, 4 0 光半導体モジュール

4 光素子実装基板

4 b 実装面

4 d 凹部

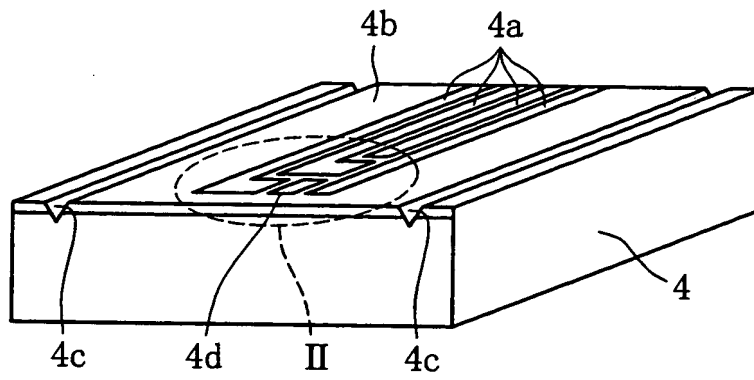
5 半導体レーザ素子 (LD)

5 b V字溝マーカ (位置合わせ用マーカ)

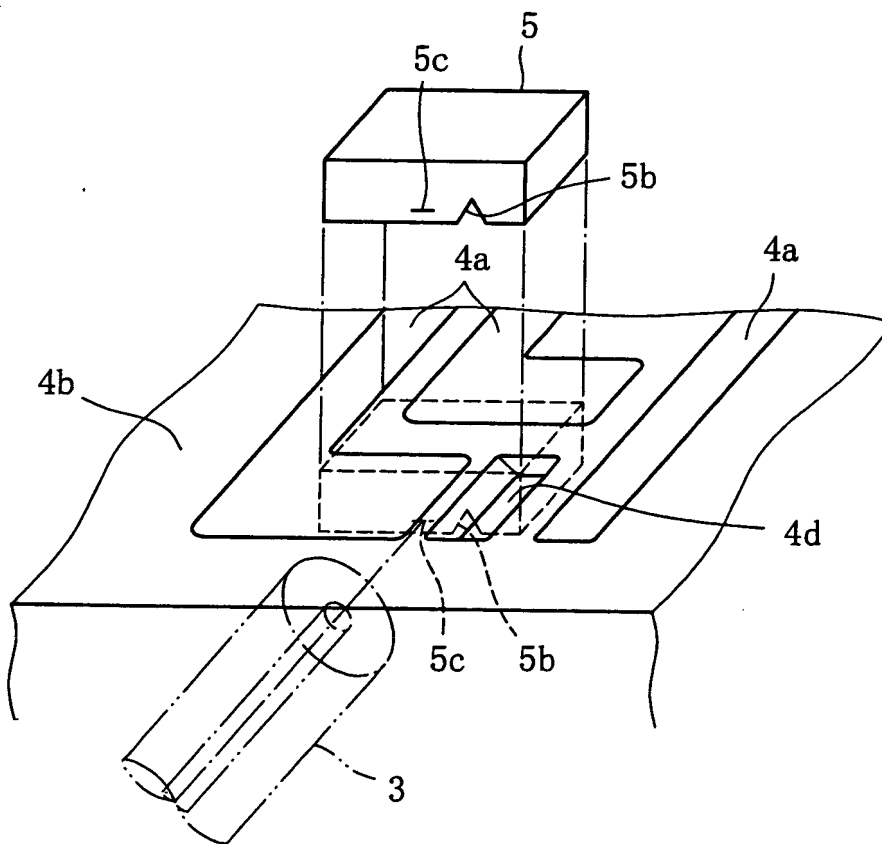
5 d 凸部

【書類名】 図面

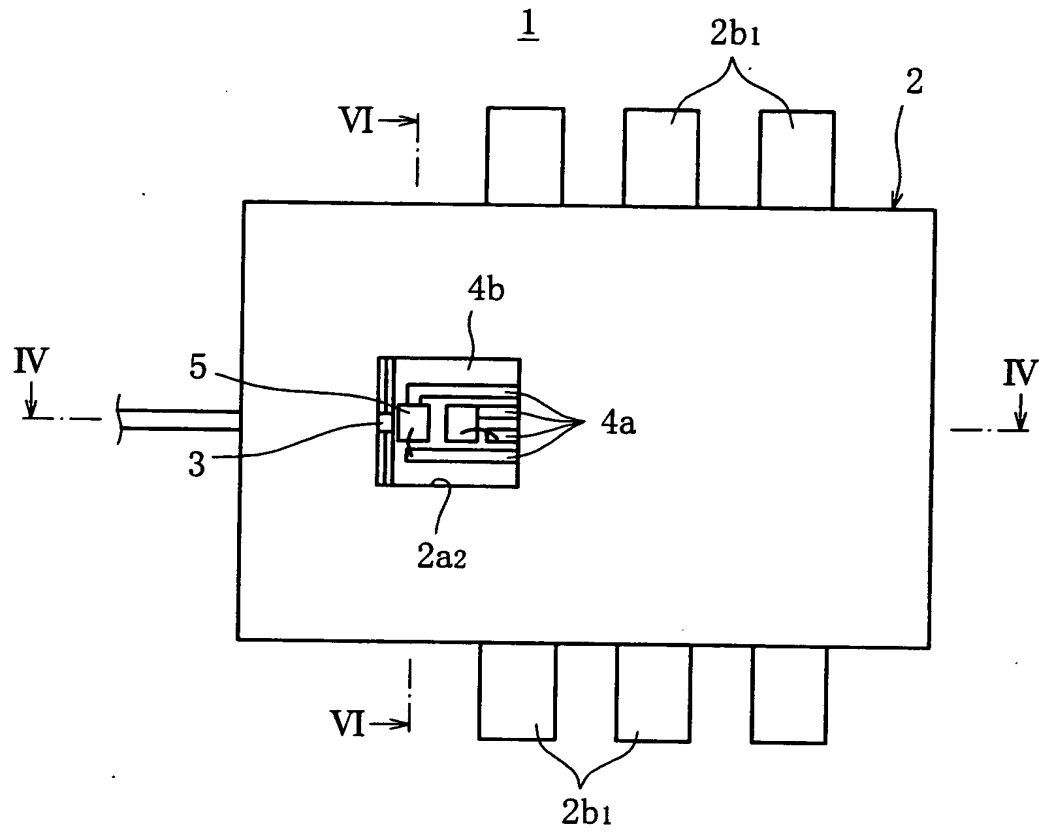
【図 1】



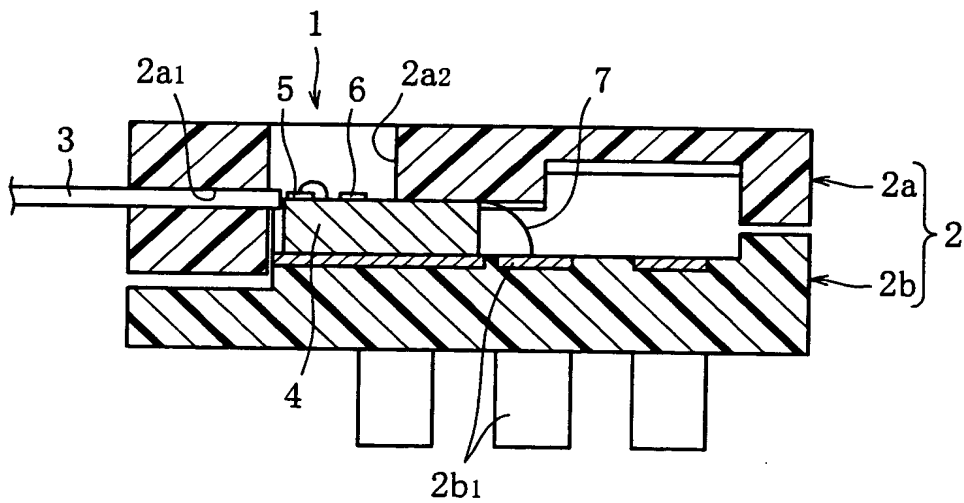
【図 2】



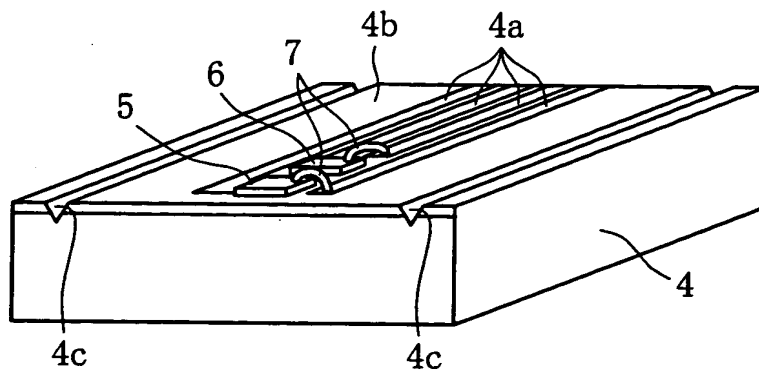
【図 3】



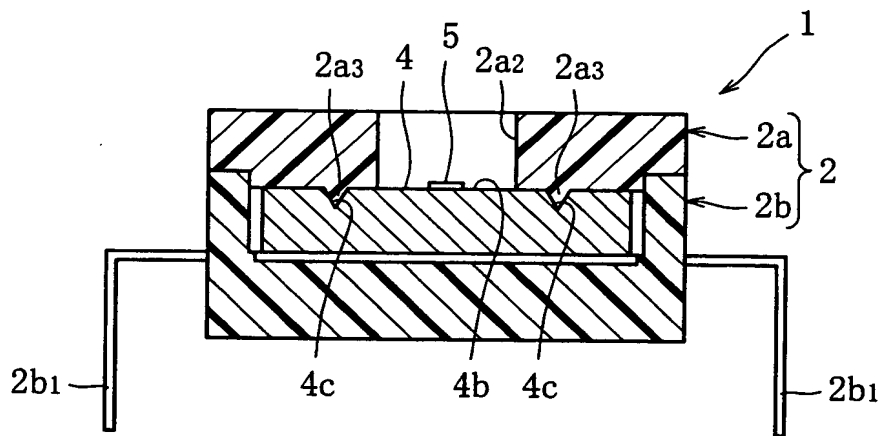
【図 4】



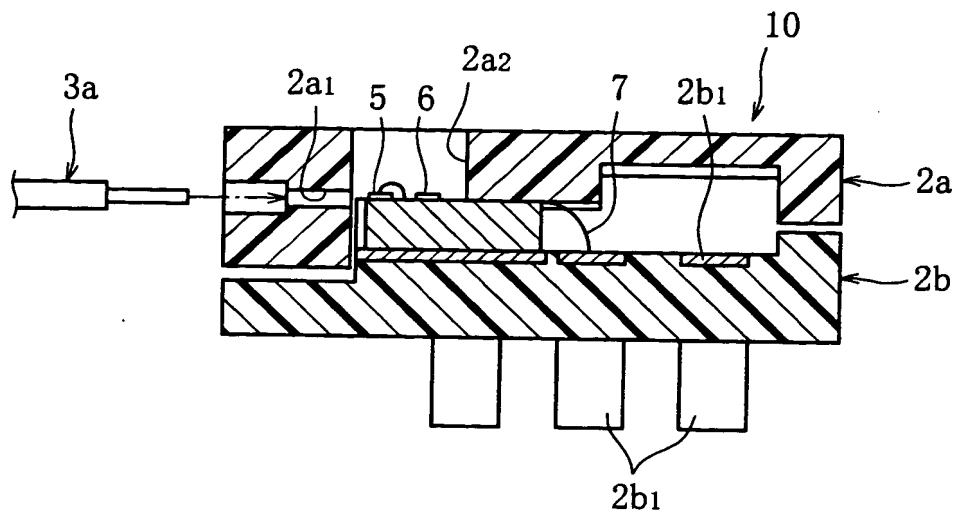
【図 5】



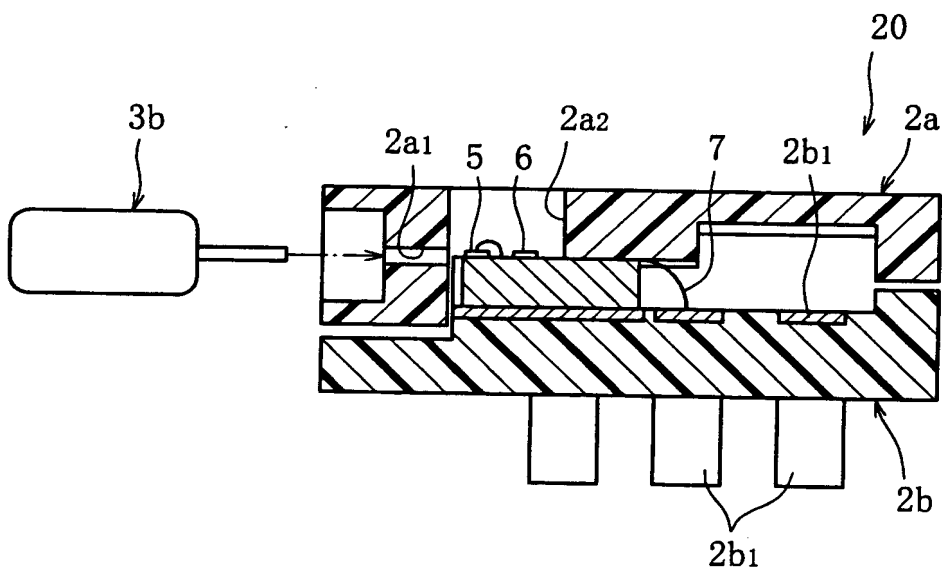
【図 6】



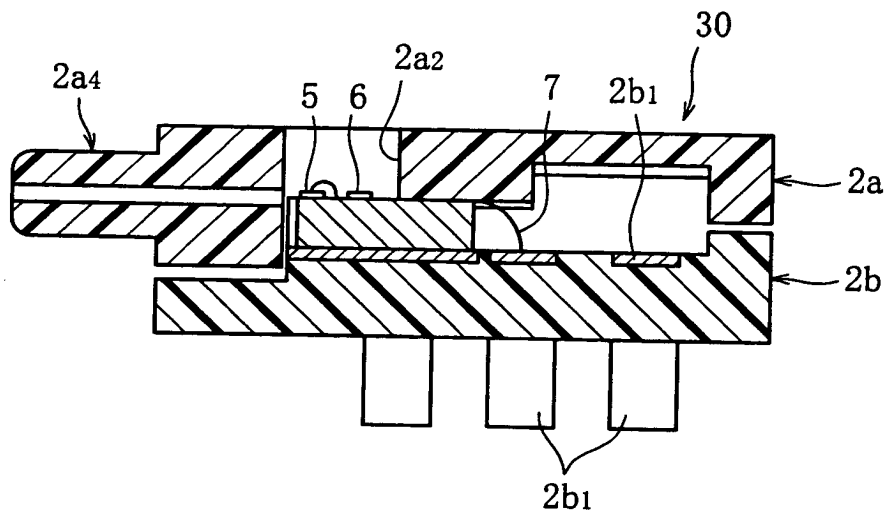
【図 7】



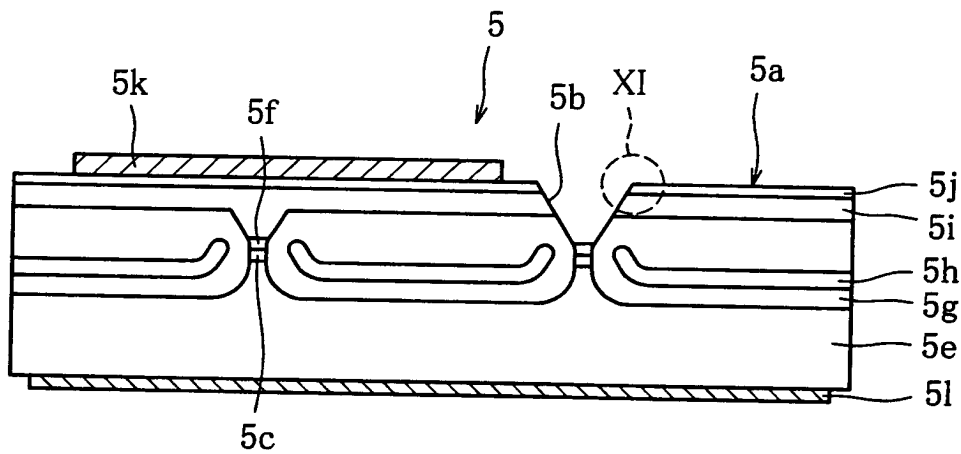
【図 8】



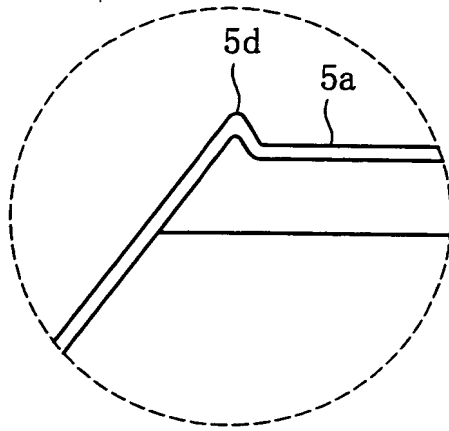
【図 9】



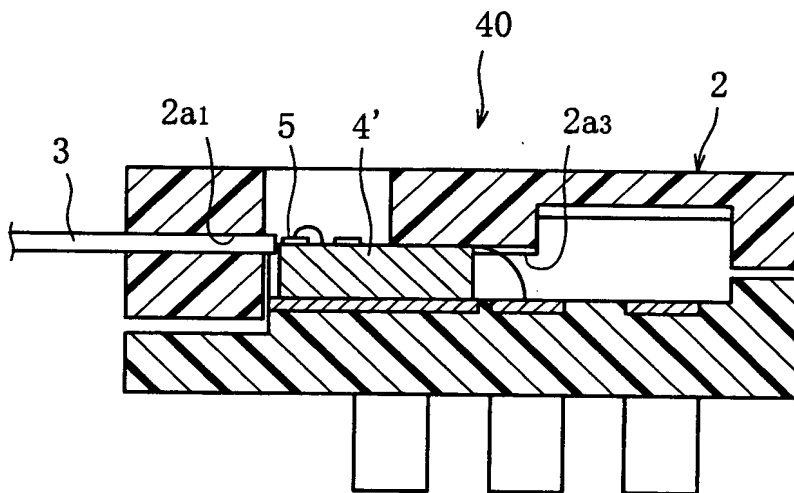
【図 1 0】



【図 1 1】



【図 1 2】



【書類名】 要約書

【要約】

【課題】 光半導体素子が隙間なくジャンクションダウン方式で光素子実装基板に実装された光素子実装体と、それを用いた、光半導体素子と光部品との間の結合効率が高くかつ温度特性が良好な光半導体モジュールとを提供する。

【解決手段】 表面に位置合わせ用のV字溝マーカ5 bが形成されている光半導体素子5と、前記光半導体素子5がジャンクションダウン方式で実装された光素子実装基板4とを備える光素子実装体において、前記光素子実装基板4の実装面4 bには、前記V字溝マーカ5 bの近傍に発生した凸部を非接触状態で収容するための凹部4 dが形成されていることを特徴とする光素子実装体。

【選択図】 図2

出 願 人 履 歴 情 報

識別番号 [000005290]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目6番1号

氏 名 古河電気工業株式会社